

# MLVDS 应用笔记

接口 AE 团队著

## 摘要

本文针对多点低压差分信号 ( M-LVDS ) 标准展开系统性概述，明确其技术定义、核心特性及行业标准依据，详细剖析驱动器、接收器的电气参数与性能指标，同时结合实际工程场景，给出组网配置、硬件设计决策等全流程应用笔记，为工程师开展 M-LVDS 相关产品设计、调试与应用落地提供技术参考。

## 目录

1.引言.....	3
2.简介.....	3
2.1 拓扑结构.....	3
2.2 信号速率与线缆长度.....	3
2.3 驱动器核心特性.....	4
2.4 接收器核心特性.....	6
3.应用指南.....	9
3.1 常见应用电路.....	9
3.2 线或应用.....	10
3.3 通讯领域应用.....	10
3.4 总线配置.....	11
3.5 热插拔.....	13
3.6 ESD 防护.....	15
3.7 常见总线波形.....	15
3.8 设计指南.....	16
4.修订记录.....	17
5.参考资料.....	18
6.声明与提示.....	18

## 表目录

表 2-1 常见驱动器特性对比.....	6
----------------------	---

表 2-2 接收器类型对比.....	7
表 2-3 接收器特性对比.....	9
表 2-4 3PEAK M-LVDS 产品表.....	9

## 图目录

图 2-1 M-LVDS 接口电路的多点应用拓扑.....	3
图 2-2 眼图 jitter 示意图.....	4
图 2-3 眼图抖动 5%时，信号速率与线缆长度关系.....	4
图 2-4 差分输出电压测试电路图.....	5
图 2-5 驱动器短路电流测试电路图.....	5
图 2-6 驱动器输出信号波形.....	6
图 2-7 接收器输入电压电流定义.....	7
图 2-8 接收器输入电压阈值示意图.....	7
图 2-9 静态输入电流与电压关系图.....	8
图 2-10 差分输入电流测试图.....	8
图 3-1 一发多收组网拓扑图.....	9
图 3-2 全双工组网拓扑图.....	10
图 3-3 线或应用示意图 ( 4 发 1 收 ) .....	10
图 3-4 ATCA 组网示意图.....	11
图 3-5 T 型总线连接示意图.....	12
图 3-6 菊花链总线连接示意图.....	12
图 3-7 优先接地的热插拔示意图.....	13
图 3-8 TPT9H2211 发送节点热插拔波形.....	14
图 3-9 TPT9H2211 接收节点热插拔波形.....	15
图 3-10 多节点组网总线波形.....	16
图 3-11 单通道 M-LVDS 原理图示例.....	16
图 3-12 PCB top 层示意图.....	16

## 1. 引言

多点低压差分信号 ( M-LVDS ) 技术是低压差分信号 ( LVDS ) 技术的专用拓展版本，针对长距离、高速率数据传输场景进行优化，核心通过提升驱动电流，实现信号完整性的高效保障。TIA/EIA-899 标准对 M-LVDS 接口电路的电气特性进行了明确且规范的定义，该技术旨在解决“如何在两根差分线上高速、低干扰地传输电信号”的问题。

目前 M-LVDS 技术已在工业控制、背板互联、高速影像传输等领域实现规模化应用，相较于传统信号传输技术，其核心技术优势可归纳为以下五点：

1. 抗电磁干扰能力优异，可稳定适配工业现场等复杂电磁环境；
2. 原生支持多点组网架构，大幅简化系统硬件连接设计；
3. 兼顾高速传输与长距离传输需求，适配多场景数据交互场景；
4. 接收器具备低负载特性，与多类型设备兼容性良好，支持多节点并联接入；
5. 工作功耗低，电磁辐射量小，符合低功耗、高电磁兼容性的设计要求。

## 2. 简介

### 2.1 拓扑结构

M-LVDS 标准通过规范线路驱动器与接收器的电气特性，实现基于多点总线的通用数据传输架构，单条 M-LVDS 总线最大支持 32 个节点的组网连接，其典型多点应用拓扑结构如图 2-1 所示。

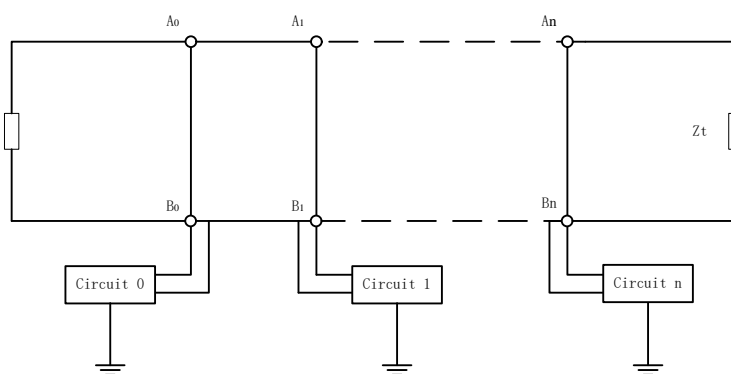


图 2-1 M-LVDS 接口电路的多点应用拓扑

### 2.2 信号速率与线缆长度

TIA 899 标准中明确 M-LVDS 的理论最高信号传输速率为 500 Mbps，该数值基于无损耗平衡互连介质的理想假设，通过负载端信号转换时间精准计算得出。

在实际工程应用中，信号传输的最大有效距离受传输介质特性、信号传输速率、信号抖动等多因素综合限制，不同规格的 PCB 走线结构、不同类型的传输线缆，对信号完整性的影响存在显著差异。依托驱动器增强型

驱动能力，M-LVDS 具备优异的长距离传输性能：在 100 Mbps 的常用传输速率下，信号传输距离最高可达 10 米，具体数值需根据实际选用的线缆类型进行调整。

鉴于多因素对实际传输距离的影响存在不确定性，TIA/EIA-899 ( M-LVDS ) 标准明确建议，在点对点应用场景中，需对实际应用场景开展眼图抖动测试，以此验证信号传输质量。眼图抖动是指数字信号在短期内重要的瞬时变化相对于理想位置发生的偏移，图 2-2 为 TPT9H2211 在 350Mbps 下的眼图的示意说明图。图 2-3 为 TIA-EIA 899 中眼图抖动为 5% 时，M-LVDS 信号传输速率与传输线缆长度的对应关系。

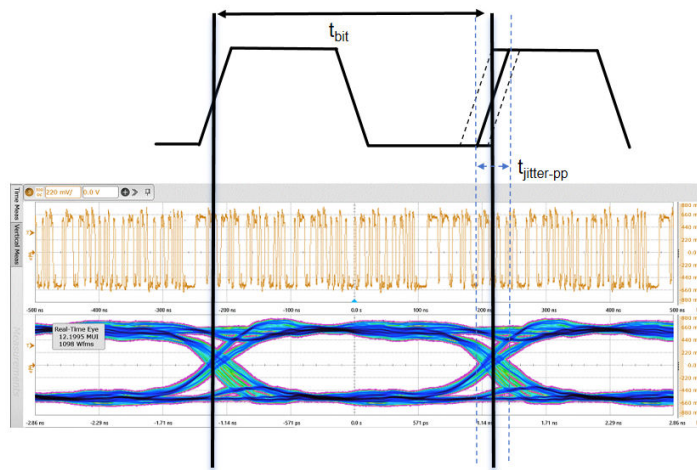


图 2-2 眼图 jitter 示意图

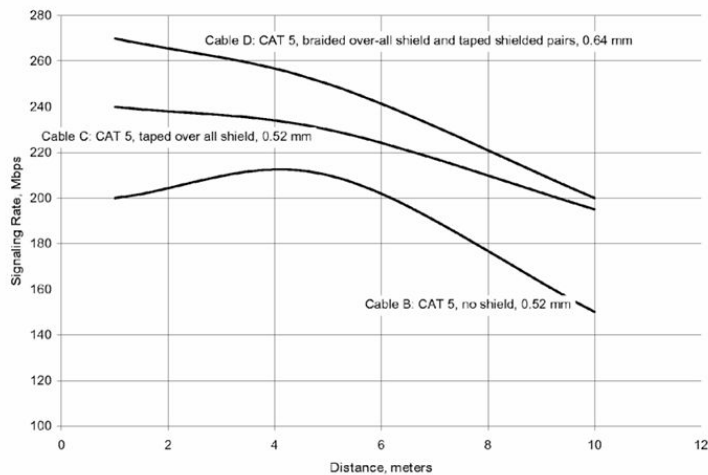


图 2-3 眼图抖动 5% 时，信号速率与线缆长度关系

## 2.3 驱动器核心特性

- 差分输出电压和偏移电压

采用图 2-4 所示的测试电路进行测量时，差分输出电压 (  $V_{AB}$  ) 的稳态幅值应不小于 480 mV 且不大于 650 mV。在反向输入情况下， $V_{AB}$  的极性会反转 ( 记为  $V_{AB}^*$  )，且  $V_{AB}$  与  $V_{AB}^*$  的稳态幅值差值应不超过 50 mV。

测试电路中的  $49.9 \Omega$  电阻用于模拟互连介质的标称差分负载， $3.32 \text{ k}\Omega$  电阻则模拟 32 个 M-LVDS 接收器输入的最差负载情况。测试电压用于模拟允许的共模电压，该电压范围参考 TIA-644 标准设定为  $0 \text{ V} \sim 2.4 \text{ V}$ ，叠加  $\pm 1 \text{ V}$  的地噪声偏移后形成。所以 M-LVDS 电路的共模电压范围要求为  $-1 \text{ V} \sim 3.4 \text{ V}$ 。

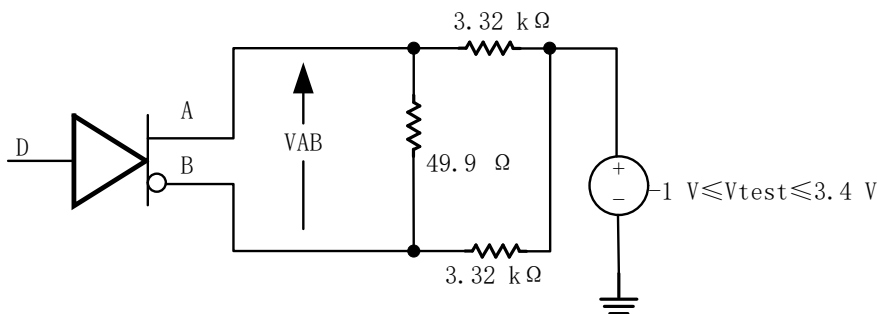


图 2-4 差分输出电压测试电路图

- 短路电流

M-LVDS 多点总线支持多驱动器并行接入，存在信号冲突的潜在可能性，因此需对互连电路的供电功率进行严格限制，核心管控方式为明确驱动器的最大允许输出电流。采用图 2-5 所示电路，在  $-1 \text{ V} \sim 3.4 \text{ V}$  的外加共模电压范围及两种输入状态下，驱动器输出电流 (  $I_{OS}$  ) 的峰值幅值应不超过 43 mA。

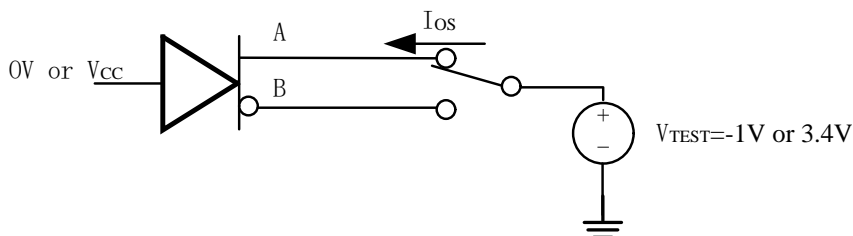


图 2-5 驱动器短路电流测试电路图

- 驱动器转换时间

M-LVDS 标准规定最小转换时间为  $1 \text{ ns}$ ，这意味着 M-LVDS 器件的预期最大信号速率为 500 Mbps。上升下降沿时间应不小于  $1 \text{ ns}$  且不大于最小单位间隔  $t_{UI}$  的 0.5 倍，具体测试电路如图 2-6 所示，公式表达如下：

$$1 \text{ ns} \leq t_r/t_f \leq t_{UI} \tag{1}$$

**注意：** 单位间隔  $t_{UI}$  需预留一定时间余量用于数据采样，且应大于  $2 \text{ ns}$ 。

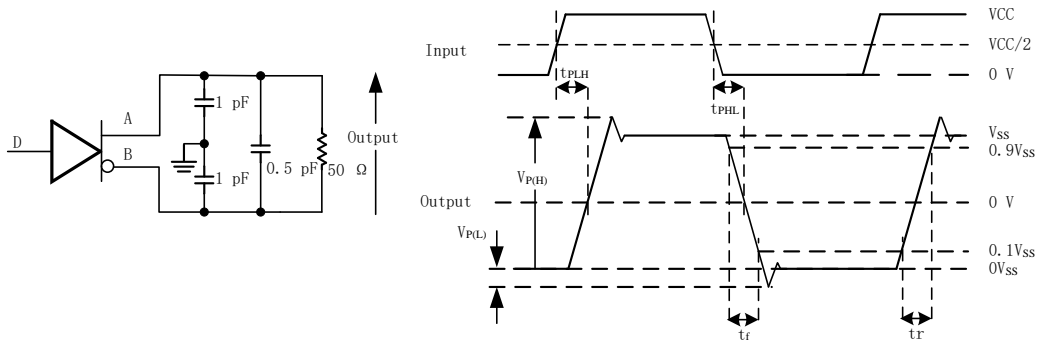


图 2-6 驱动器输出信号波形

- 驱动器特性对比

相较于 LVDS 驱动器，M-LVDS 驱动器的核心优势在于具备更强的驱动能力，具体体现为更大的输出电流 ( $I_{OD}$ )。正是依托这一特性，M-LVDS 驱动器能够在常见的双端接多点网络中稳定传输信号——这类网络因双端接设计，会给驱动器施加更大的负载，唯有更强的驱动能力才能确保信号幅值维持在需求水平。

在输出幅值的测试标准上，M-LVDS 与 RS-485 驱动器通常以 50Ω 差分负载为基准进行参数标定，而 M-LVDS 器件的优势是更高的传输速度、更低的功耗。以上驱动器的简单对比如表 2-1。

表 2-1 常见驱动器特性对比

驱动器特性	M-LVDS	LVDS	RS-485
$V_{OD}$	0.48-0.65V	0.25-0.45V	1.5-5.0V
$V_{OS}$	0.3-2.1V	1.125-1.375V	-1.0-3.0V
$I_{OD}$	9-13mA	2.5-4.5mA	28-93mA
$I_{OS}$	< 43mA	< 24mA	< 250mA
$T_r/T_f$	$1 \text{ ns} \leq t_r/t_f \leq t_{UI}$	$t_r/t_f \leq 0.3 t_{UI}$	$t_r/t_f \leq 0.3 t_{UI}$
典型速率	DC-500 Mbps	DC-3125 Mbps	DC-50 Mbps
典型节点数	32	2	32，最大 256
应用场景	多点组网，常用于背板方案	点对点方案	多点组网，常用于线缆方案

## 2.4 接收器核心特性

- 接收器输入电压阈值

M-LVDS 接收器通过检测总线两端的差分电压判断线路逻辑状态。接收器能检测到总线状态变化的最小差分输入电压，定义为输入阈值电压；在驱动器输出偏移和地电压差决定的允许共模输入电压范围内，接收器需能精准检测该差分电压，确保逻辑状态识别无误差。

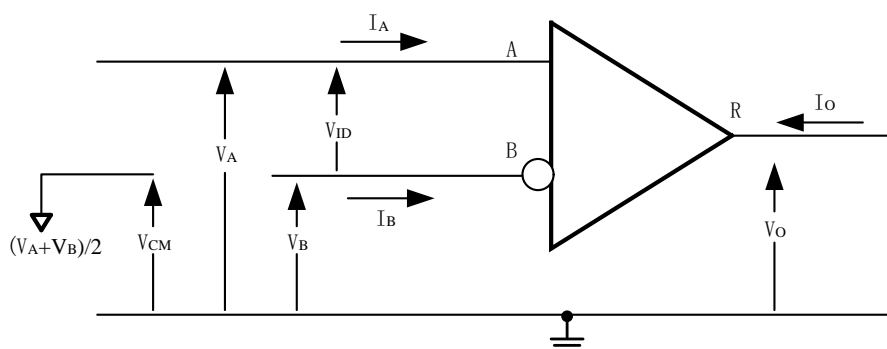


图 2-7 接收器输入电压电流定义

输入阈值电平是区分两类 M-LVDS 接收器的关键指标，接收器必须能准确检测该差分电压。

1 类接收器未设置故障保护功能，其差分输入电压阈值以 0 V 为中心；2 类接收器的差分输入电压阈值偏离 0 V，有 100 mV 的偏差，可用于检测电压差的缺失。其中，1 类接收器的差分噪声容限最大，适用于高信号速率，不需要失效防护的场景；2 类接收器则提供了总线故障安全机制、支持线或应用，更适合控制信号的传输。具体阈值要求如表 2-2 所示。

表 2-2 接收器类型对比

接收器类型	低电平	过渡区域	高电平
Type 1	$-2.4\text{ V} < V_{ID} < -0.05\text{ V}$	$-0.05\text{ V} < V_{ID} < 0.05\text{ V}$	$0.05\text{ V} < V_{ID} < 2.4\text{ V}$
Type 2	$-2.4\text{ V} < V_{ID} < 0.05\text{ V}$	$0.05\text{ V} < V_{ID} < 0.15\text{ V}$	$0.15\text{ V} < V_{ID} < 2.4\text{ V}$

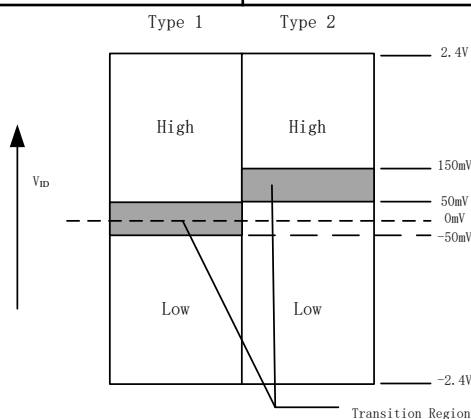


图 2-8 接收器输入电压阈值示意图

### • 接收器输入电流

M-LVDS 的核心应用场景为多点网络，为实现多接收器稳定接入单条总线，接收器需对有源驱动器呈现低负载特性。基于该设计要求，行业标准明确了接收器的最大输入泄漏电流指标，确保单条总线最多可接入 32 个负载单元（含接收器、未使能的驱动器），所有 M-LVDS 器件的输入阻抗最小可表征为 120 kΩ。

在输入电压范围为 -1.4 V~3.8 V、另一输入接 1.2 V 的条件下，输入电流的幅值应不超过 32 μA（见图 2-9）；在输入电压范围为 0 V~2.4 V、另一输入接 1.2 V 的条件下，输入电流的幅值应不超过 20 μA。

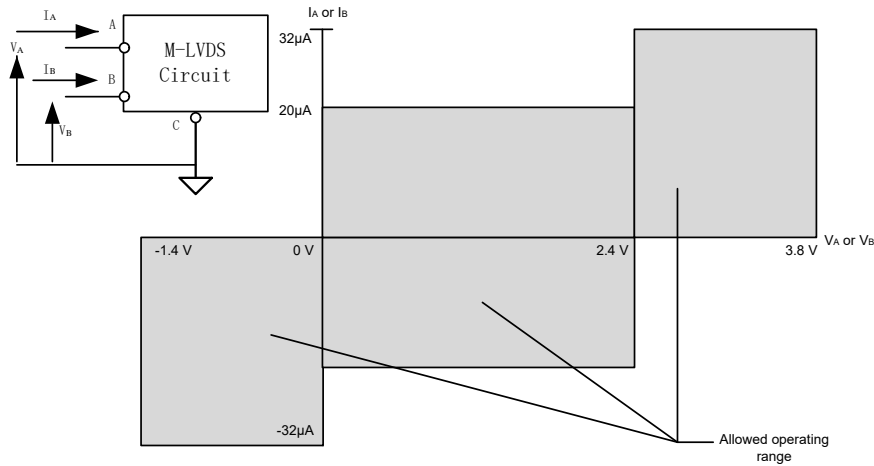


图 2-9 静态输入电流与电压关系图

当差分输入电压为  $0\text{ V}$  时，在  $-1.4\text{ V}\sim 3.8\text{ V}$  的共模输入电压范围内，差分电流 ( $I_A - I_B$ ) 的幅值应小于  $4\text{ }\mu\text{A}$ 。

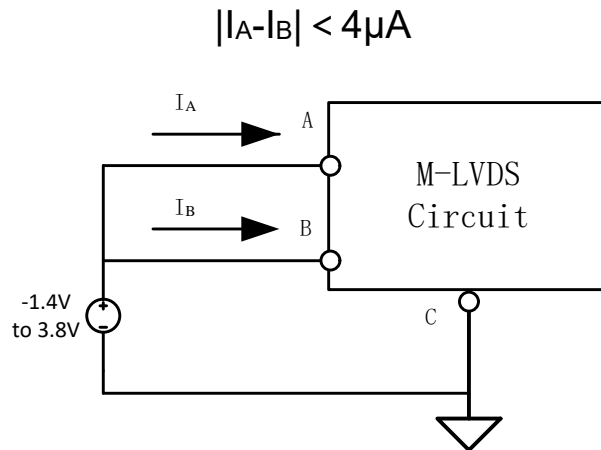


图 2-10 差分输入电流测试图

- 接收器特性对比

M-LVDS、LVDS 与 RS-485 接收器在输入共模范围和总线负载能力上差异显著，适配场景各有侧重，核心特性对比如表 2-3 所示。

输入共模范围方面，RS-485 接收器最宽 ( $-7\text{ V}$  至  $12\text{ V}$ )，可容忍节点间  $\pm 7\text{ V}$  电位差，适配恶劣接地环境；M-LVDS 接收器为  $-1.4\text{ V}$  至  $3.8\text{ V}$ ，能应对  $\pm 1\text{ V}$  电位差；LVDS 接收器最窄 (通常  $0\text{ V}$  至  $2.4\text{ V}$ )，抗电位差能力最弱，仅适合接地基准一致的场景。

总线负载能力上，三者均通过限制输入漏电流支持多点网络 (接入接收器或未使能驱动器)，部分 RS-485 器件支持  $1/2$ 、 $1/4$ 、 $1/8$  单位负载，可实现 256 个器件组网，更适合大规模节点场景。

表 2-3 接收器特性对比

接收器特性	M-LVDS	LVDS	RS-485
输入差分电压	0.1~2.4 V	0.2~2.4 V	0.4~5 V
共模电压范围	-1.4~3.8 V	0~2.4 V	-7~12 V
输入漏电流	32 $\mu$ A	20 $\mu$ A	1000 $\mu$ A
最大节点	32	点对点为主	32 节点 ( 最大支持 256 )
故障安全特性	2 类原生支持	部分支持	需要外部偏置电路

- MLVDS 产品组合

3PEAK 的 M-LVDS 产品系列涵盖多速率规格与多类型接收器，可满足不同场景的应用需求。TPT9Hxxxx 系列产品，BUS 引脚具备出色 ESD 防护能力：符合 IEC-61000-4-2 接触放电 20kV 标准，同时满足人体放电模型 ( HBM ) 8kV 防护等级；凭借该卓越防护性能，可为系统提供更强的瞬态冲击抗性，提升运行稳定性。具体选择信息如表 2-4 所示。

表 2-4 3PEAK M-LVDS 产品表

器件型号	说明	封装
TPT9H1111	100 Mbps, 1 类接收 M-LVDS 收发器	SOP-8
TPT9H2111	250 Mbps, 1 类接收 M-LVDS 收发器	SOP-8
TPT9H1211	100 Mbps, 2 类接收 M-LVDS 收发器	SOP-8
TPT9H2211	250 Mbps, 2 类接收 M-LVDS 收发器	SOP-8

## 3. 应用指南

### 3.1 常见应用电路

目前市场上应用较多的 M-LVDS 收发器为半双工单通道收发器，如 TPT9H2211。其一发多收的拓扑图如下：

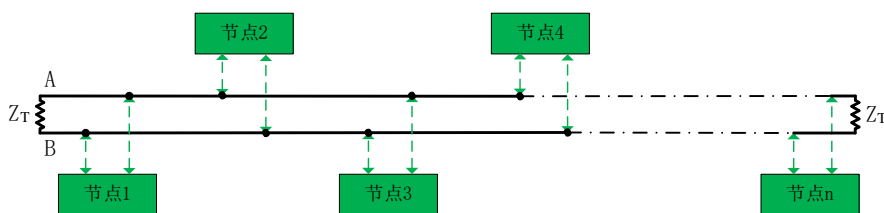


图 3-1 一发多收组网拓扑图

若需要改为全双工通讯，需要额外增加一条总线，如图 3-2：

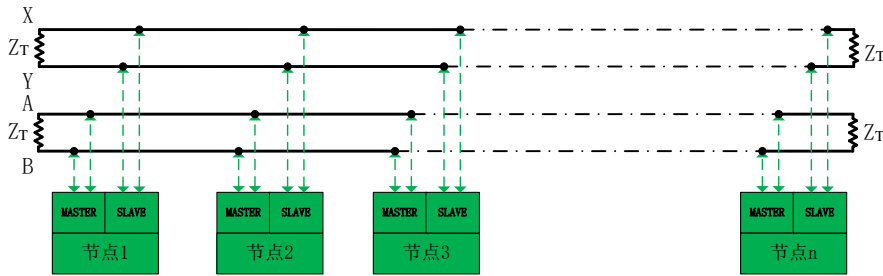


图 3-2 全双工组网拓扑图

### 3.2 线或应用

M-LVDS 的线或应用，是指在 M-LVDS 总线架构中，将多个驱动器的输出端直接连接，实现逻辑或的功能，该应用场景通常选用 2 类接收器，以保障故障安全特性。

线或应用的核心配置规则：所有驱动器的 DI 输入引脚均设置为高电平 (H)，驱动器输出使能 (DE) 引脚作为功能控制输入，接收器输出逻辑状态；当 DE 引脚处于禁用状态时，驱动器输出为总线提供 0V 差分偏置，2 类接收器检测到逻辑低电平 (L)；当任一驱动器的 DE 引脚处于启用状态时，总线被偏置为高电平 (H)，接收器检测到逻辑高电平 (H)。

图 3-3 展示了 4 发送器，1 接收器的应用示意图。此时 IN1-IN4 的 DI 输入均为 H。任意一个驱动器 DE 使能后，R 接收器的 RO 输出逻辑 H。

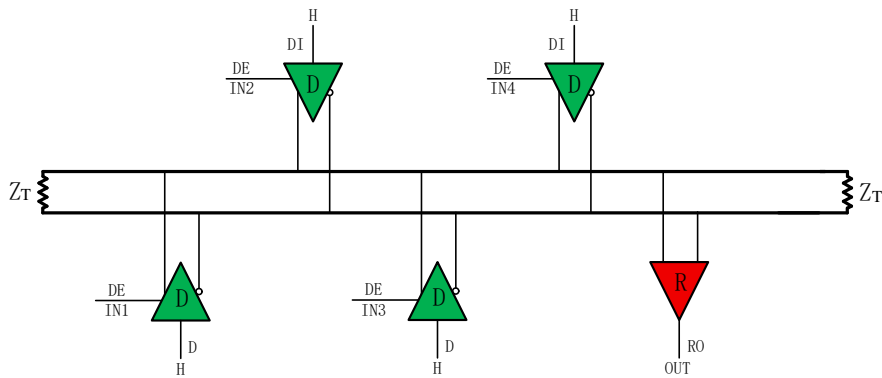


图 3-3 线或应用示意图 (4 发 1 收)

### 3.3 通讯领域应用

许多电信系统，包括基于先进电信运算架构 (Advanced\_TCA) 规范的设计，需要保持其内部接口和外部网络的同步。为了能够实现这样的系统，Advanced\_TCA 或者 PICMG3.0 规范在架构中定义了一个同步时钟接口。根据这种规范，产生时钟信号的任务是由符合 TIA/EIA-899 (多点低电压差分信号传输或者 M-LVDS) 标准的集成电路来实现的。

ATCA 的背板中有存在数据传输接口的区域，该区域中有基本接口、交换接口、更新通道接口和同步时钟接口。接口通过许多槽位连接。时钟同步接口可以使背板上所有的槽位相互交换时序信息。它由三对冗余时钟总线组成：CLK1A、CLK1B、CLK2A、CLK2B、CLK3A 和 CLK3B。其规定的信息如下：

1. CLK1A 和 CLK1B 提供冗余的 8kHz 标准数字语音传输系统的时钟信号；
2. CLK2A 和 CLK2B 为 SONET/SDH 网络的同步提供 19.44MHz 的时钟信号；
3. CLK3A 和 CLK3B 是用户可定义的信号(时钟或者数据)。

ATCA 时钟总线采用 130Ω 阻抗的差分 PCB 走线，总线两端配置 80Ω 终端电阻，其典型组网示意图如图 3-4 所示。

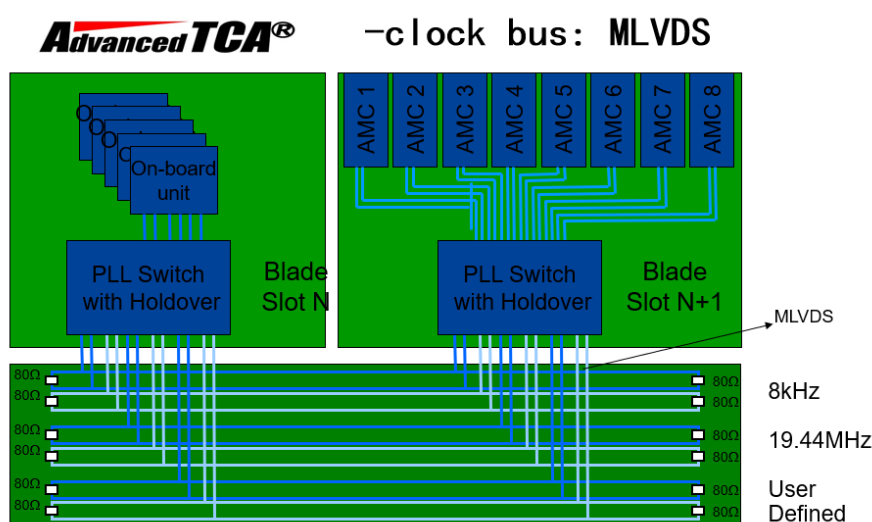


图 3-4 ATCA 组网示意图

### 3.4 总线配置

M-LVDS 标准具备高度的架构灵活性，支持多种总线配置方式，具体配置细节需结合行业参考标准或实际工程应用场景确定。从 stub 长度的角度划分，M-LVDS 主要有两种基础总线配置方式：T 型总线连接和菊花链总线连接，两种方式各有优劣，适配不同的应用场景。

- T 型总线连接

该连接方式形成的 stub 长度包含连接器引脚和 PCB 上的走线 ( 见图 3-5 )，优势是仅需单个连接器；局限性在于其总 stub 长度通常比菊花链连接更长，易引入信号反射问题，影响信号完整性。

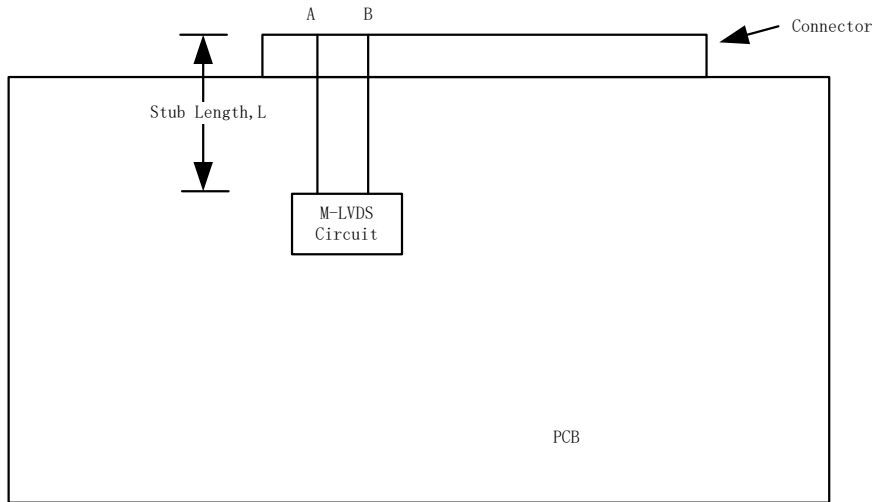


图 3-5 T型总线连接示意图

- 菊花链总线连接

该连接方式最大限度缩短实际 stub 长度，此时连接器和直通线路被视为总线主干的一部分，而非 stub 长度（见 图 3-6），实际 stub 长度仅为连接点到器件引脚的距离。其主要优势是 stub 长度短，信号反射问题少；局限性在于需两个连接器，且总线重构时可能中断主干线路，导致通信暂停。

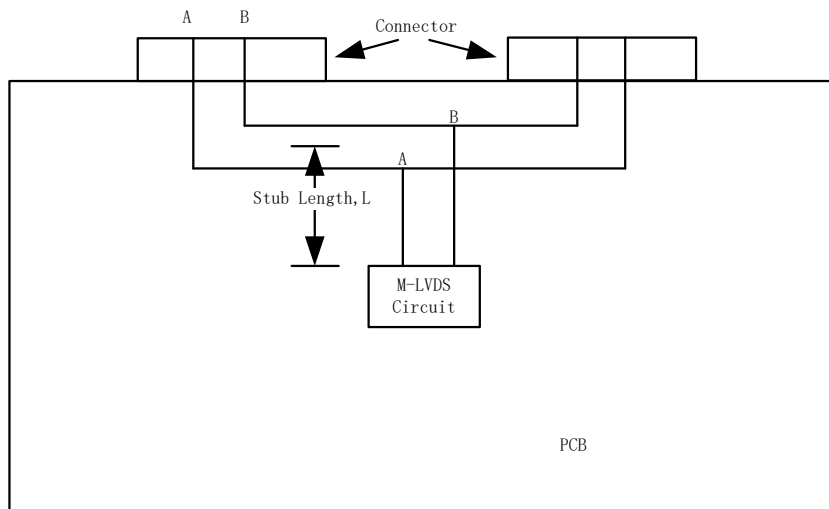


图 3-6 菊花链总线连接示意图

Stub 长度过长会导致总线阻抗不连续，进而引发信号反射，降低传输质量。M-LVDS 总线的特征阻抗通常为  $100\Omega$  差分阻抗，而 stub 相当于并联在总线上的容性负载（长度越长，等效电容越大），会导致总线等效阻抗降低，破坏阻抗一致性。例如某 T 型拓扑 M-LVDS 总线，若某节点 stub 长度比其他节点长  $2\text{cm}$ ，会导致该分支阻抗偏低，信号在连接点产生反射，造成系统误码率上升。

### 3.5 热插拔

带电插入 ( Live Insertion )、热插拔 ( Hot Plugging ) 和热交换 ( Hot Swap ) 均指在不切断总线电源的情况下添加或移除设备。这种功能在不希望或不可能关闭系统电源的应用中非常有用，例如在服务器或无线基站中。3PEAK 的 M-LVDS 系列产品拥有安全保护，输出高阻等特性，确保客户在配合适当的外围情况下能够实现不同等级需求的热插拔。

- 静电防护

热插拔常见问题之一是静电损坏，图 3-7 左展示了在带电插入过程中，由于连接器未对准或连接器引脚长度存在差异，主机与远程系统之间可能发生的静电放电事件。该事件并不依赖电源，因此在无电源 ( 冷插拔 ) 的情况下也可能发生静电放电损坏。

防止器件因 ESD 损坏的最直接方法是在进行任何其他连接之前先建立接地连接，消除电位差。接地连接为可能流经集成电路的电流提供了一条通路。在图 3-7 右图中，接地引脚比其他引脚长，确保先实现接地接触。3PEAK 的 M-LVDS 系列产品具有良好的 ESD 能力。以 TPT9H2211 为例，BUS 引脚支持 IEC contact 20kV，HBM 8kV 防护等级，这意味着对包括带电插入在内的其他类型瞬态事件具有更强的稳健性。

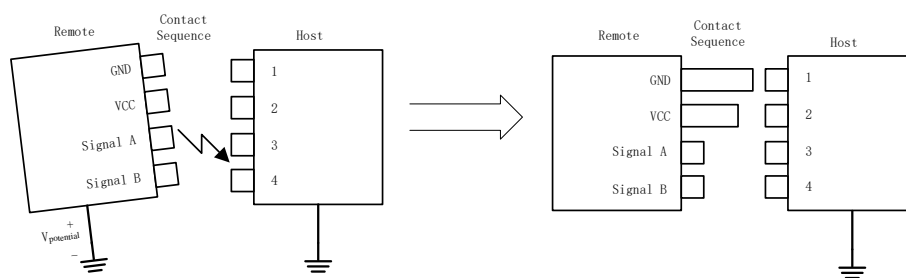


图 3-7 优先接地的热插拔示意图

- 数据保护

热插拔过程中的上电干扰、总线竞争、插入噪声、输入状态不确定等因素，均可能导致数据损坏，具体解决方案分两种工程场景：

1. 插拔操作期间暂停总线数据传输活动，避免干扰信号被接收器识别为有效数据；
2. 若业务需求不允许暂停总线活动，接口芯片需具备故障安全、共模噪声抑制、无干扰上电 / 断电等核心特性。

在只有一个发送节点的总线系统中，当发送器进行带电插拔操作时，接收节点可能仍处于通电状态。此时，驱动器可能持续处于使能状态，在上电或断电过程中，驱动器输出端出现的振荡或干扰信号可能会被误判为有效数据。

无干扰驱动器的定义是，其输出在上电时仅从高阻抗状态转换到低电平或高电平状态，断电时则反向转换。3PEAK 的 M-LVDS 系列产品支持无干扰驱动，图 3-8 展示 TPT9H2211 作为发送节点时热插拔上下电波形，输出正常。

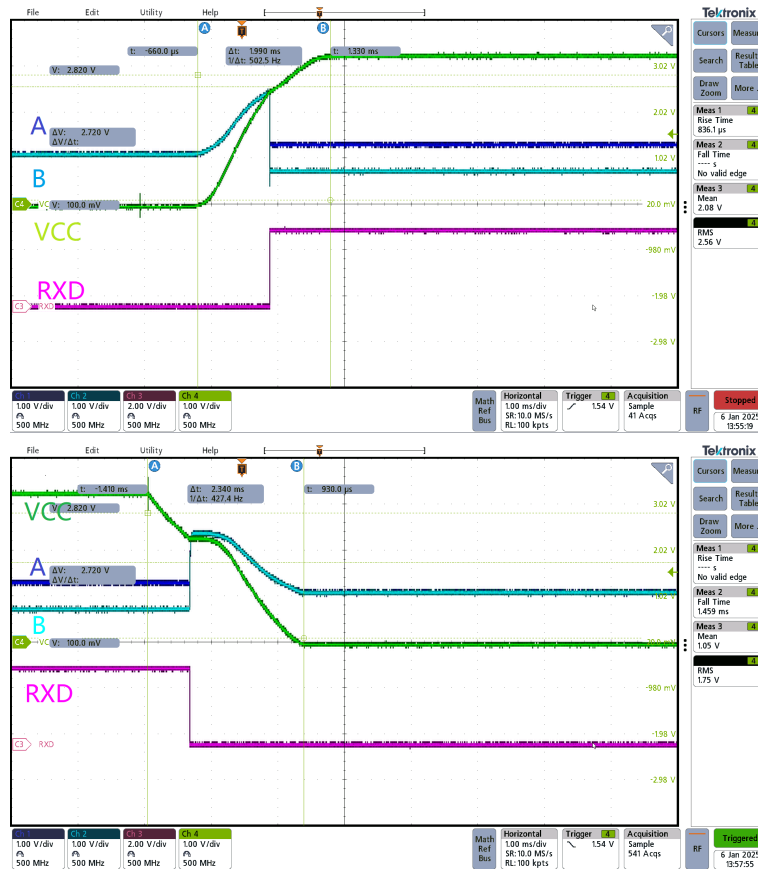


图 3-8 TPT9H2211 发送节点热插拔波形

- 驱动使能优化

在多点系统中，带电插入期间可能导致数据损坏的一种情况是，当一个正在插入的节点在总线上施加一种逻辑电平，而此时总线正被另一个节点驱动到相反的电平。这种情况被称为总线竞争。

3PEAK 的 M-LVDS 收发器针对该问题进行了专门的硬件设计优化，核心技术措施如下：

1. 驱动器使能信号采用高电平有效设计，无输入信号时自动禁用输出，避免无效电平输出至总线；
2. 内置专用上电 / 复位电路，设置较高的电压阈值，在电源电压达到该阈值前，忽略所有输入信号，输出端保持高阻抗状态。

图 3-9 为总线上 1 发 1 收两节点正常工作，热插拔第三个节点的波形，芯片均使用 TPT9H2211。热插拔过程中总线波形无异常，正常接收节点的 RXD 波形正常。

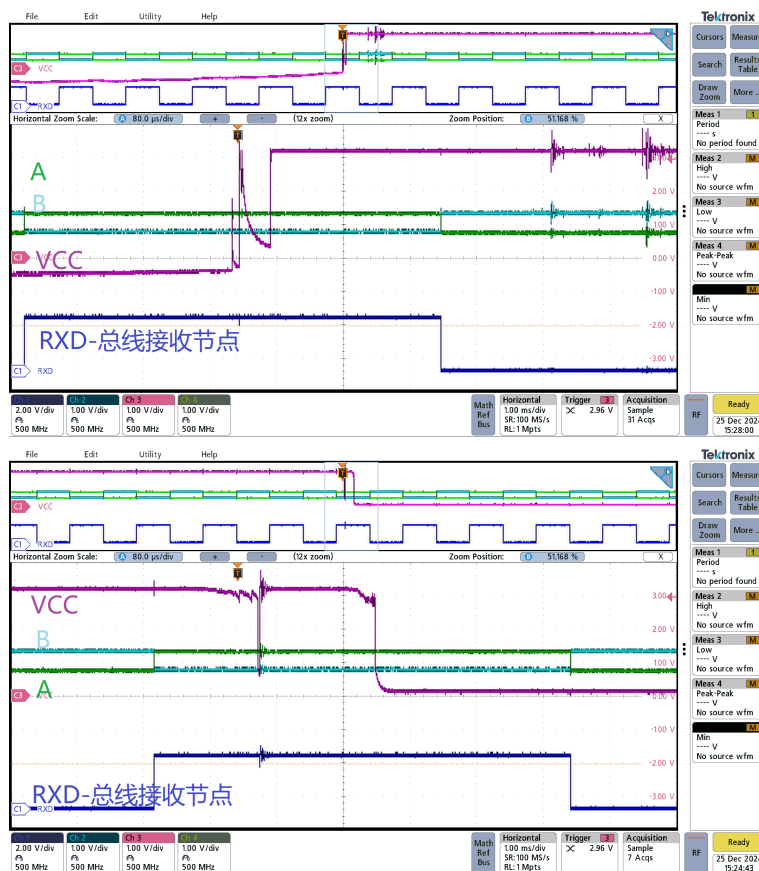


图 3-9 TPT9H2211 接收节点热插拔波形

### 3.6 ESD 防护

M-LVDS 总线并非必须加 TVS 管, 3PEAK 的 TPT9HXXXX 系列产品总线引脚已集成 8kV HBM, 20kV IEC contact 级别的 ESD 保护, 在传输板内信号, 无对外暴露接口的场景下, 可以不加 TVS 管。

若存在多节点, 对外接口暴露的情况, 若需要对 M-LVDS 器件进行保护, 可以选择总线增加 TVS 管。当差分线上出现超过阈值的瞬时高压时, TVS 管迅速击穿并导通, 将电压钳位在安全范围, 同时通过 GND 泄放静电能量, 保护后端的 M-LVDS 芯片不被击穿。TVS 管的选择要求如下:

- 击穿电压高于 M-LVDS 正常工作电压, 避免对正常信号传输造成影响;
- 钳位电压低于芯片引脚极限耐压, 确保静电冲击时能有效保护;
- TVS 管放置于靠近连接器处, 差分对 TVS 管并联到 GND;
- 结电容需要  $< 2\sim 3$  pF, 电容过大会劣化信号完整性。

### 3.7 常见总线波形

图 3-10 展示了常见的多节点组网总线波形, 拓扑结构参考图 3-1, 总线上连接多个节点, 各节点采用轮流使能发送信息的方式进行数据传输。CH1、CH2 分别为总线单端信号波形, F1 为总线差分信号波形。

在图中  $t_1$  时间段，所有节点都处于禁止发送阶段，总线呈现高阻特性，单端电压缓慢升高，若该时间段内一直没有节点发起发送使能，则最终总线 A、B 端电压会分别升至最大稳态开路电压  $V_{A(OC)}$ 、 $V_{B(OC)}$ 。

在图中  $t_2$  时间段，某一个节点切换到发送状态（DE 使能有效），并开始发送数据，此时总线共模电压会被驱动到  $V_{OS(SS)}$ ，约为 1V 左右，差分电压表征当前发送节点输出的数据信息，总线上其余节点处于数据接收状态。

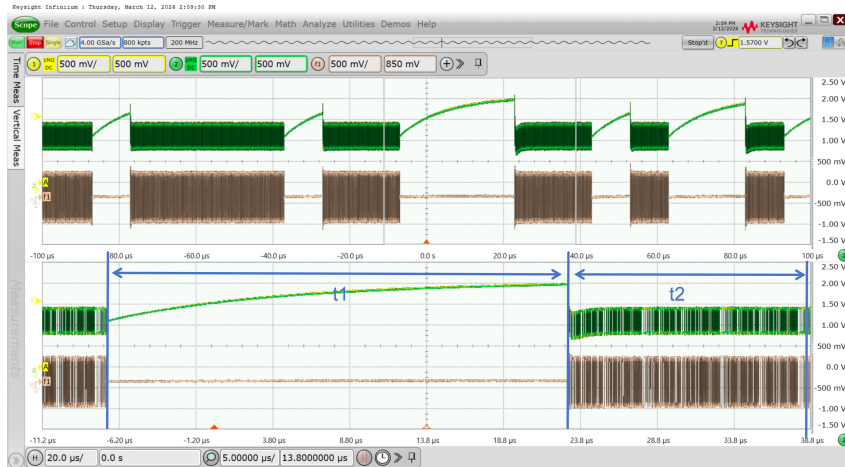


图 3-10 多节点组网总线波形

### 3.8 设计指南

- 原理图与 PCB Layout 示例

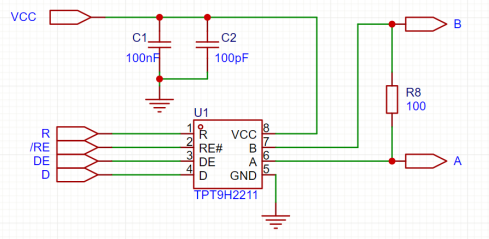


图 3-11 单通道 M-LVDS 原理图示例

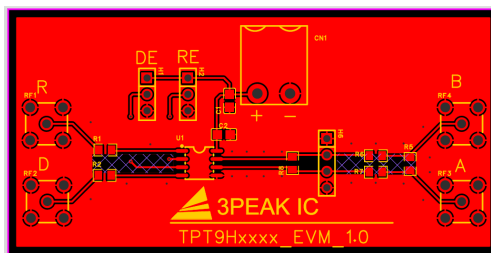


图 3-12 PCB top 层示意图

- Layout 注意事项

- **差分走线**：采用紧密耦合的差分对走线，可选择边缘耦合或宽边耦合形式，降低电磁辐射，减少非对称负载问题；
- **差分阻抗**：目标介质阻抗标称值为  $100\ \Omega$ ，该值适配多种线缆结构，且与 PCB 差分对的标准尺寸匹配；
- **Stub 长度**：严格控制 stub 长度，同时保证差分对线路的电气长度匹配，建议匹配误差  $\leq 1\ \text{mm}$  (39 密耳)；线长偏差会导致信号线产生相位差，增加共模调制和噪声；
- **过孔**：尽量减少互连路径中的过孔数量，优先规划高速 M-LVDS 线路的布线；过孔会增加线路电容、降低等效阻抗，可能导致接收容限下降；
- **屏蔽设计**：在差分线两侧铺 GND 铜皮，且每 5 mm 打一个过孔接地，增强外部 EMI 干扰抑制能力；
- **远离干扰源**：与 12 V、5 V 等电源走线的距离  $> 2\ \text{mm}$ ，与时钟线的距离  $> 3\ \text{mm}$ ，避免电源噪声和时钟干扰耦合至差分线；
- **连接器**：选择阻抗匹配性好的连接器，尽量减小连接器给总线带来的阻抗差异，理想状态下与 PCB 走线阻抗完全匹配；背板连接易增加总线电容，必要时需降低数据速率或缩短 PCB 走线距离，避免信号恶化。
  - 电源噪声
 

电源噪声会降低总线的噪声容限，影响信号传输稳定性，核心抑制措施如下：
  - 器件的 VCC (电源) 和 GND (地) 引脚通过最短路径连接到 PCB，并通过多个过孔将 VCC 和 GND 引脚连接到附近的平面；
  - 在 VCC 引脚附近并联放置  $100\ \text{pF}$  和  $0.1\ \mu\text{F}$  的去耦电容，快速吸收电源线上的瞬态噪声，保障电源稳定性；
  - 终端电阻
 

终端电阻的核心作用是抑制信号反射，提升信号传输质量，其核心设计规则如下：
  - **布局位置**：终端电阻需精准放置在总线的两端，一端接总线起始端 (通常为信号源)，另一端接总线末端 (通常为信号接收端)；不建议将发送器置于总线中间位置，否则会增加信号反射和干扰，导致信号衰减、时序失真；
  - **阻值选择**：标称值为差分对之间并联  $100\ \Omega$ ，可根据实际应用的有效差分阻抗需求适当降低，但最小值不得小于  $60\ \Omega$ ；需注意，总线上的等效电阻为终端电阻并联后的阻抗，因此总线标称负载为  $50\ \Omega$ ，最低可能降至  $30\ \Omega$ 。但是较低的电阻会导致总线差分信号幅值降低，导致接收端出现异常。

## 4. 修订记录

日期	版本	注释
2026.05.18	Rev.A.0	初版发布

## 5. 参考资料

1. TIA-899-2002 Electrical Characteristics of Multipoint-Low-Voltage Differential Signaling (M-LVDS) Interface Circuits for Multi-point Data Interchange
2. Datasheet TPT9H2211
3. Datasheet TPT9H2111
4. Datasheet TPT9H1211
5. Datasheet TPT9H1111

## 6. 声明与提示

著作权© 思瑞浦 2012-2026，版权所有。

**商标。** 本文档/材料所包含的任何思瑞浦和 3PEAK 的商号、商标、图形标志和域名，均为思瑞浦所有。未经思瑞浦事先书面许可，不得以任何形式将其复制、修改、出版、传输或发布。

**性能信息。** 本文档/材料中所包含的产品性能测试指标和额定值测量为特定环境下的设计仿真值或实际测试值。任何测试环境或仿真环境的不同，包括但不限于测试方法、测试流程、测试温度等的不同，都可能影响产品的实际性能。

**免责声明。** 思瑞浦“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。除非另有书面说明，否则，思瑞浦提供的产品并非设计用于任何危及生命的场景，包括关键医疗应用、汽车安全关键系统、航空、航天或任何故障可能导致人身伤害、生命丧失或重大财产损失的情形。思瑞浦不对任何此类未经授权的使用承担任何责任。